

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **02090561 A**

(43) Date of publication of application: 30.03.90

(51) Int. Cl

H01L 27/095

H01L 27/04

(21) Application number: **63241137**

(71) Applicant: **HITACHI LTD HITACHI TOBU SEMICONDUCTOR LTD**

(22) Date of filing: **28.09.88**

(72) Inventor: **YASUDA TAKESHI**

(54) SEMICONDUCTOR ELEMENT

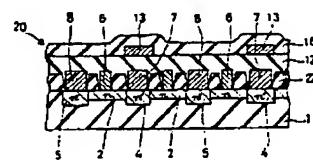
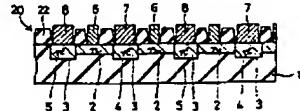
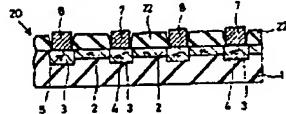
this setup, a MIS capacitor is formed.

(57) Abstract:

COPYRIGHT: (C)1990,JPO&Japio

PURPOSE: To improve a capacitor in breakdown strength as well as to miniaturize a chip by a method wherein an insulating film is made to overlap with each finger of a drain electrode, and a metal film is formed on the interlaminar insulating film to constitute a MIS capacitor.

CONSTITUTION: A SiO₂ film 21 is provided onto the primary face of a wafer 20 partially ion-implanted with Si⁺. Thereafter, an annealing treatment is executed to form an n-type channel layer 2 and an n⁺-type ohmic layer 3 which are to serve as a drain region 4 and a source region 5 on the surface layer of a semi-insulating GaAs substrate 1. And, a drain electrode 7 and a source electrode 8, which are to be formed into patterns shaped in the teeth of a comb and engaged with each other, are formed on the drain region 4 and the source region 5. Then, a gate electrode 6 of Al is built. And, an insulating film (interlaminar insulating film) 12 formed of PSG film is formed on the primary face of the wafer 20 above the drain electrode 7. And, a metal film (wiring electrode) 13 of Al or the like is formed on the interlaminar insulating film 12 through sputtering, and the wiring electrode 13 is patterned. By



⑫ 公開特許公報 (A)

平2-90561

⑤ Int. Cl.⁵H 01 L 27/095
27/04

識別記号

府内整理番号

⑬ 公開 平成2年(1990)3月30日

C

7514-5F
7733-5F

H 01 L 29/80

E

審査請求 未請求 請求項の数 2 (全6頁)

④ 発明の名称 半導体素子

② 特願 昭63-241137

② 出願 昭63(1988)9月28日

⑦ 発明者 安田 武 埼玉県入間郡毛呂山町大字旭台15番地 日立東部セミコンダクタ株式会社内

⑧ 出願人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑨ 出願人 日立東部セミコンダクタ株式会社 埼玉県入間郡毛呂山町大字旭台15番地

⑩ 代理人 弁理士 小川 勝男 外1名

明細書

(従来の技術)

1. 発明の名称

半導体素子

2. 特許請求の範囲

1. 容量内蔵型 GaAs MESFET を有する半導体素子であって、前記容量は GaAs MESFET のドレイン電極と、このドレイン電極上に絶縁膜を介して重ねられた金属膜によるメタル-絶縁物-メタルで構成されていることを特徴とする半導体素子。

2. 前記メタル-絶縁物-メタルからなる容量は、前記ドレイン電極のフィンガー部分にそれぞれ設けられていることを特徴とする特許請求の範囲第1項記載の半導体素子。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、容量内蔵型 GaAs MESFET を有する半導体素子に係わり、高耐圧・大容量形成に好適でかつ小型化が達成できる半導体素子に関する。

低雑音、高遮断周波数、高出力等の特長を有するマイクロ波トランジスタとして、閃亜鉛拡型結晶構造の基体を基にして形成された磁化ガリウム電界効果トランジスタ (GaAs-FETと略す。) が広く知られている。また、この GaAs-FET の一つとして、ショットキー効果ゲート形電界効果トランジスタ (MESFETとも称する。) が知られている。MESFETは、n導電型の能動領域正面に設けられたオーミック接触構造のソース・ドレイン電極と、その間に一つあるいは二つ設けられたショットキー接合構造のゲート電極とからなり、シングルゲート構造あるいはデュアルゲート構造を構成している。

通信用広帯域低雑音 GaAs IC には、これら GaAs-MESFET が組み込まれている。GaAs 通信用広帯域低雑音 IC については、たとえば、電子通信学会発行、倍学技報、SSD84-106、P24~P31に記載されている。この文献には、ゲートとドレイン間に抵抗と容量を

直列に組み込んだ GaAs-MESFET が開示されている。また、前記の直流遮断容量 (C_{ds}) は、ショットキー容量で形成されている。

また、この文献には、「前記直流遮断容量 (C_{ds}) と利得と入出力電圧定在波比 (VSWR (Voltage Standing Wave Ratio) in out) 等の相関において、前記 C_{ds} が小さいと利得と VSWR in が悪化する。しかし、IC 内に大容量を形成することはチップサイズを増大させる。チップサイズと性能の兼ね合いが問題である。」旨記載されている。

(発明が解決しようとする課題)

従来技術にあっては、直流遮断容量をショットキー容量で形成している。しかし、ショットキー容量は広い面積を必要とし、半導体素子（チップ）の面積に対する占有面積が、たとえば、60%～70%と高く、チップサイズの増大を招いている。

また、ショットキー容量は他の容量に比較して耐圧が低い。

膜）を重ねるとともにこの層間絶縁膜上に金属膜を形成し、MIM 容量を構成させた構造となっていることから、容量形成のために独立した領域を必要としないため、チップサイズの小型化が達成できる。また、前記 MIM 容量はショットキー容量に比較してその耐圧が高いことから、半導体装置の耐圧の向上も達成できる。さらに、MIM 容量はその形成において、ショットキー接合の良否によって変動し易いショットキー容量に比較して再現性よく容量を形成することができる。

(実施例)

以下図面を参照して本発明の一実施例について説明する。

第1図は本発明の一実施例による容量内蔵型 GaAs 広帯域低雑音増幅 IC (半導体素子) の概要を示す模式図、第2図は同じく半導体素子の要部を示す模式的平面図、第3図は同じく等価回路、第4図は同じく半導体素子の要部を示す断面図、第5図～第8図は同じく容量内蔵型 GaAs 広帯域低雑音増幅 IC の製造における各工程でのワー

本発明の目的は、容量の耐圧が高くかつチップサイズが小型化できる容量内蔵型半導体素子を提供することにある。

本発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面からあきらかになるであろう。

(課題を解決するための手段)

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記のとおりである。

すなわち、本発明の容量内蔵型 GaAs 広帯域低雑音増幅 IC は、GaAs-MESFET のドレイン電極上に絶縁膜を設けさらにこの絶縁膜上に金属膜を配設し、メタル-絶縁物-メタルからなる MIM 容量を構成している。

(作用)

上記した手段によれば、本発明の容量内蔵型 GaAs 広帯域低雑音増幅 IC にあっては、GaAs-MESFET のドレイン電極、すなわち、ドレイン電極の各フィンガー上に絶縁膜（層間絶縁

膜）を重ねるとともにこの層間絶縁膜上に金属膜を形成し、MIM 容量を構成させた構造となっていることから、容量形成のために独立した領域を必要としないため、チップサイズの小型化が達成できる。また、前記 MIM 容量はショットキー容量に比較してその耐圧が高いことから、半導体装置の耐圧の向上も達成できる。さらに、MIM 容量はその形成において、ショットキー接合の良否によって変動し易いショットキー容量に比較して再現性よく容量を形成することができる。

この実施例の半導体素子、すなわち、容量内蔵型 GaAs 広帯域低雑音増幅 IC は、第3図の等価回路で示されるように、ソース (S)、ゲート (G)、ドレイン (D) とからなる GaAs-MESFET において、ゲートとドレインとの間に容量 (C_{ds}) と抵抗 (R_s) が組み込まれている。前記容量は後述するが、メタル-絶縁物-メタルからなる MIM (Metal-Insulator-Metal) 容量となっている。

この容量内蔵型 GaAs 広帯域低雑音増幅 IC を構成する半導体素子（以下、チップとも称する。）は、第1図および第4図に示されるように、半絶縁性 GaAs 基板（基板）1 の主面に各導電型層や絶縁膜等を配設することによって形成されて

いる。すなわち、半絶縁性 GaAs 基板 1 の正面には 0.2 μm 前後の薄い n 形のチャネル層 2 を有している。また、このチャネル層 2 部分には、このチャネル層 2 よりも深くかつ一定の幅を有して相互に平行に延在する複数条の n+ 形のオーミック層 3 が設けられている。前記オーミック層 3 は、ソース領域 5、ドレイン領域 4 と交互になっている。そして、これらドレイン領域 4 およびソース領域 5 はそれぞれ樹脂状となり、それぞれは噛み合うパターンとなっている。そこで、この相互に噛み合う部分を、説明の便宜上フィンガーと呼称する。

一方、前記チャネル層 2、ドレイン領域 4、ソース領域 5 上には、それぞれゲート電極 6、ドレイン電極 7、ソース電極 8 が配設されている。前記ドレイン電極 7 は、第 2 図に示されるように、右下がりの線で示されるハッチング部分とクロスハッチング部分である。また、第 2 図に示されるように、二点鎖線で示される部分がソース電極 8 部分である。また、前記ドレイン電極 7 とソース

電極 8 のフィンガー部分間には実線で示されるようにゲート電極 6 が延在している。このゲート電極 6 はソース電極 8 とクロスするが、電気的に絶縁状態を維持してクロスするようになっている。また、ゲート電極 6 の前記フィンガー部分から外れた部分は、幅の広い領域が設けられるとともに、この領域には、矩形で示されるように、ゲート用ワイヤボンディングパッド 9 が設けられている。また、前記ドレイン電極 7 およびソース電極 8 の一部には同様にドレイン用ワイヤボンディングパッド 10 およびソース用ワイヤボンディングパッド 11 が設けられている。これら各パッド 9、10、11 は、それぞれワイヤが接続されて給電点となる。

また、第 1 図に示されるように、半絶縁性 GaAs 基板 1 の正面には、厚さ 4000 Å の PSC (リンシリケートガラス) 膜からなる絶縁膜 (層間絶縁膜) 12 が設けられている。この層間絶縁膜 12 は前記ゲート電極 6、ドレイン電極 7、ソース電極 8 を被っている。また、この層間絶縁膜

12 の表面には、前記ドレイン電極 7 のフィンガー部分に重なるように A1 等からなる金属膜 (配線電極) 13 が設けられている。前記配線電極 13 は、第 2 図に示されるように、右上がりの線で示されるハッチング部分とクロスハッチング部分で示される部分からなるパターンとなっている。そして、クロスハッチングで示される部分が、前記ドレイン電極 7 のフィンガー部分 (金属膜) と、この金属膜上に重なる層間絶縁膜 12 (絶縁膜) と、この絶縁膜上に重なる配線電極 13 (金属膜) となり、MIM 容量 14、すなわち、直流遮断容量 (C_d) を構成する。なお、前記金属膜 13 とゲート電極 6 間には抵抗 (R_t) 15 が配設されている。この抵抗 15 は、図示しないが前記半絶縁性 GaAs 基板 1 の正面裏層部に不純物を部分的に拡散させることによって形成される。

なお、第 4 図に示されるように、前記金属膜 13 等を含む半絶縁性 GaAs 基板 1 の正面は部分的にバッシベーション膜 16 によって被われる。そして、前記ゲート用ワイヤボンディングパッド

9、ドレイン用ワイヤボンディングパッド 10、ソース用ワイヤボンディングパッド 11 が、前記バッシベーション膜 16 から露出するようになっている。

つぎに、このような半導体素子、すなわち、容量内蔵型 GaAs 広帯域低雑音増幅 IC チップの製造について、第 5 図～第 8 図を参照しながら説明する。

最初に第 5 図に示されるように、化合物半導体薄板 (ウエハ) 20 が用意される。このウエハ 20 は半絶縁性 GaAs 基板 1 からなっている。また、このウエハ 20 は、その正面にすでに 2 回におよんで Si⁺ が部分的にイオン注入によって打ち込まれている。このようなウエハ 20 はその正面に SiO₂ 膜 21 が設けられる。その後、たとえば、800°C で 20 分のアニュール処理を行って、半絶縁性 GaAs 基板 1 の裏層部に n 形のチャネル層 2 およびドレイン領域 4 およびソース領域 5 となる n+ 形のオーミック層 3 を形成する。前記 n+ 形のオーミック層 3 はドレイン電極 7 やソ-

ス電極8との間でオーミックコンタクトを形成するためには不純物濃度は、たとえば、 10^{16} cm^{-3} と高くなっている。また、前記n形のチャネル層2の不純物濃度はFETの閾値に関与するため、不純物濃度は、たとえば、 $1 \times 10^{17} \text{ cm}^{-3}$ と低濃度となっている。なお、このチャネル層2およびオーミック層3の形成時、同時に抵抗15も形成する。

つぎに、前記SIO₂膜21を除去した後、ウエハ20の正面に厚さ4500ÅのPSC（リンシリケートガラス）膜からなる絶縁膜22を形成しきつ図示しないホトレジスト膜を設ける。その後、前記ホトレジスト膜を感光現像した後、前記絶縁膜22を部分的に除去し、かつウエハ20の正面全域にAuGe-Ni-Auの順に蒸着する。その後、前記ホトレジスト膜を除去するいわゆるリフトオフ法によって、第6図に示されるように、前記ドレイン領域4およびソース領域5上に格子状となり、相互に噛み合うバターンとなるドレイン電極7およびソース電極8を形成する。このド

レイン電極7およびソース電極8はおよそ4500Å程度の厚さとなる。

つぎに、前記同様のリフトオフ法によって、第7図に示されるように、5000Å程度の厚さのAlからなるゲート電極6を形成する。このゲート電極6はチャネル層2との間でショットキー接合を構成する。

つぎに、第8図に示されるように、ウエハ20の正面にドレイン電極上で1000Å程度の厚さになるようにPSC膜からなる絶縁膜（層間絶縁膜）12を形成する。また、この層間絶縁膜12上にスパッタによって、Al等からなる金属膜（配線電極）13を数千Åの厚さに形成する。この配線電極13は、常用のホトリソグラフィによってパターニングされる。この結果、前記ドレイン電極7のフィンガー部分の上には層間絶縁膜12を介して配線電極13が形成されることから、MIM容量が形成される。このMIM容量は、従来のショットキー容量に比較して再現性良好安定して形成できる利点があり、かつまたショットキ

ー容量に比較して、その耐圧も高い。たとえば、前記のように、1000Åの厚さのPSC膜で、ドレイン電極のフィンガー部分を2本使用し、容量部分の面積を8万μm²程度とすれば、容量は30PF以上となり、V_{DS}=3V, V_G=-1Vで使用する容量内蔵型GaAs広帯域低雑音增幅ICの場合、最大定格を7Vとした場合、充分満たすことができる。

つぎに、前記ウエハ20の正面の所定部、すなわち、ワイヤ接続のためのワイヤボンディングパッド等を除く殆どの領域には、バッシベーション膜16が設けられ、その後、このウエハ20は縦横に切断され、第1図および第4図に示されるようなICチップが多段製造される。

このような実施例によれば、つぎのような効果が得られる。

(1) 本発明の容量内蔵型GaAs広帯域低雑音增幅ICにあっては、容量はドレイン電極のフィンガー上に絶縁膜を介して配線電極を設けた所謂MIM容量となっていることから、チップの特定

面を容量形成のために確保しておく必要もなく、チップサイズの小型化が達成できるという効果が得られる。

(2) 上記(1)により、本発明の容量内蔵型GaAs広帯域低雑音增幅ICにあっては、容量はMIM容量で構成されていることから、ショットキー容量に比較して耐圧が向上するという効果が得られる。

(3) 上記(1)および(2)により、本発明によれば、チップサイズが小型となりかつ容量の高逆耐圧化が達成できる容量内蔵型GaAs広帯域低雑音增幅ICを提供することができるという相乗効果が得られる。

以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。たとえば、ドレイン電極のフィンガー数を多くし、かつこの上に層間絶縁膜を介して配線電極を設け、MIM容量を形成すれば、さらに容量を

増大させることができる。また、前記実施例では、MIM容量を形成するための層間絶縁膜として、PSC膜を使用しているが、窒化ケイ素膜を使用した場合には、誘電率がPSC膜より高いこと、また膜が緻密であることから、層間絶縁膜の厚さを数百～千Å程度とすることもでき、さらに容量の増大を図ることができる。

以上の説明では主として本発明者によってなされた発明をその背景となつた利用分野である容量内蔵型GaAs広帯域低雑音増幅ICの製造技術に適用した場合について説明したが、それに限定されるものではない。

本発明は少なくとも容量を設ける構造の半導体素子の製造には適用できる。

(発明の効果)

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

本発明の容量内蔵型GaAs広帯域低雑音増幅ICは、GaAs-MESFETのドレイン電極

の各フィンガー上に絶縁膜を介して金属膜を形成し、MIM容量を構成していることから、容量形成のために独立した領域を必要としないため、チップサイズの小型化が達成できる。また、前記MIM容量はショットキー容量に比較してその耐圧が高いことから、半導体装置の耐圧の向上も達成できる。したがって、小型で容量の大きい容量内蔵型GaAs広帯域低雑音増幅ICを提供することができる。

4. 図面の簡単な説明

第1図は本発明の一実施例による容量内蔵型GaAs広帯域低雑音増幅IC(半導体素子)の概要を示す模式図。

第2図は同じく半導体素子の要部を示す模式的平面図。

第3図は同じく等価回路。

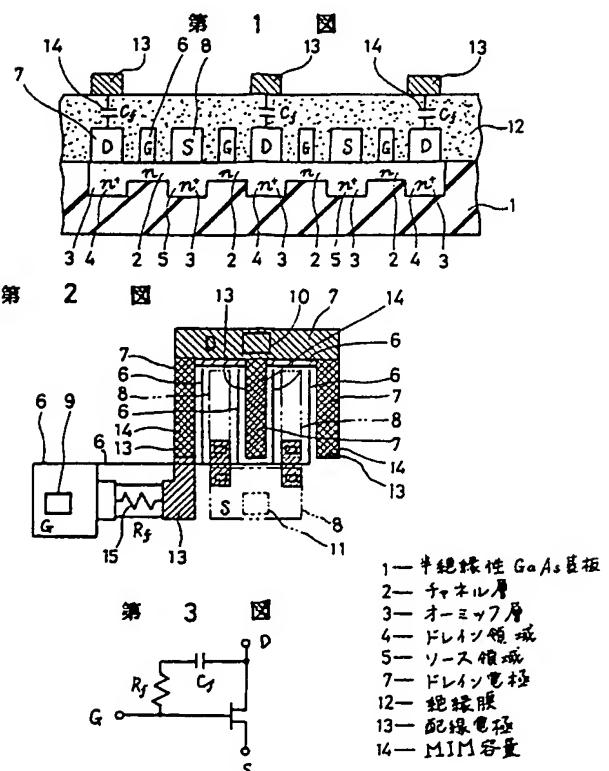
第4図は同じく半導体素子の要部を示す断面図。

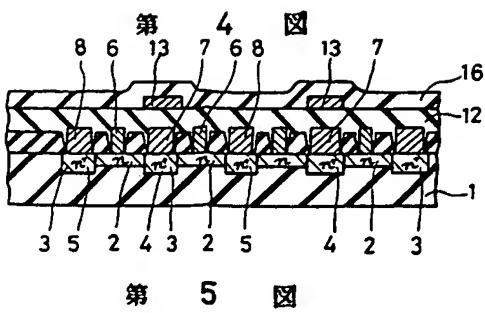
第5図は同じく半導体素子の製造においてチャネル層およびオーミック層がワークであるウエハに形成された状態を示す断面図。

第6図は同じくソース電極およびドレイン電極ならびにゲート電極が設けられたウエハの断面図、第7図は同じく絶縁膜形成後のウエハの断面図、第8図は同じく配線電極形成後のウエハの断面図である。

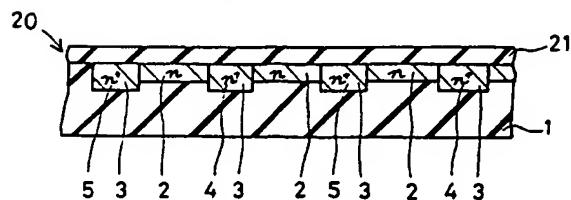
1…半絶縁性GaAs基板、2…チャネル層、3…オーミック層、4…ドレイン領域、5…ソース領域、6…ゲート電極、7…ドレイン電極、8…ソース電極、9…ゲート用ワイヤボンディングパッド、10…ドレイン用ワイヤボンディングパッド、11…ソース用ワイヤボンディングパッド、12…層間絶縁膜、13…配線電極、14…MIM容量、15…抵抗、16…バッシャーション膜、20…ウエハ、21…SiO₂膜、22…絶縁膜。

代理人 弁理士 小川勝男

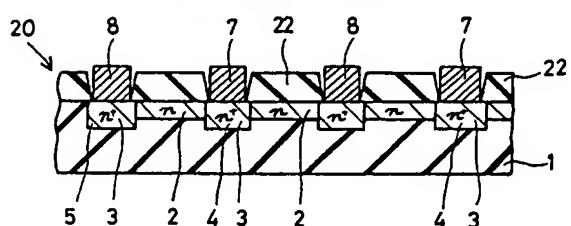




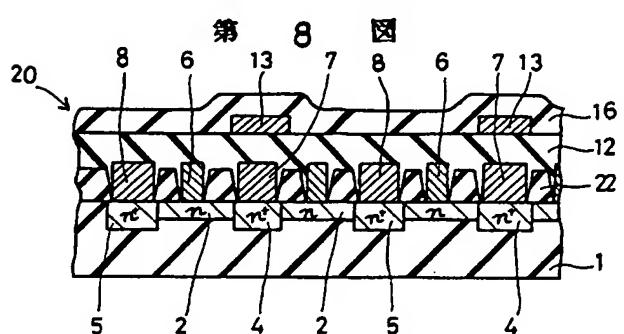
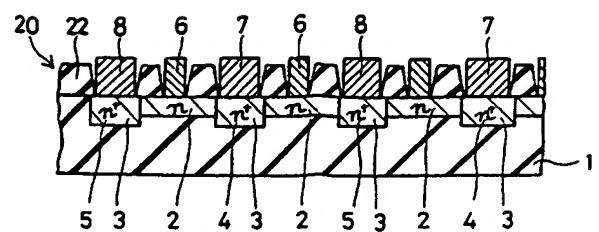
第 5 図



第 6 図



第 7 図



第 8 図